

0521. US 6,010,955

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-116905

(43) 公開日 平成10年(1998) 5月6日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
H 0 1 L 21/768		H 0 1 L 21/90	C
21/28	3 0 1	21/28	3 0 1 R
			3 0 1 T
21/3205		21/88	N

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21) 出願番号 特願平9-253332

(22) 出願日 平成9年(1997) 9月18日

(31) 優先権主張番号 7 1 7 9 7 4

(32) 優先日 1996年9月23日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 橋本 耕治

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

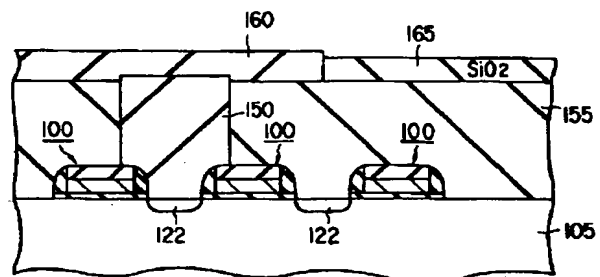
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 電気接続部を形成するために、高解像度リソグラフィ処理及びエッチング処理を必要としていた。

【解決手段】 基板105上にビラーレジストパターン150を形成し、このビラーレジストパターン150上を除く基板105上にシリコン酸化膜155を形成し、このシリコン酸化膜155上にビット線レジストパターン160を形成し、これ以外の部分にシリコン酸化膜165を形成する。これらレジストパターン150、160を除去して開口部を形成し、この開口部を導電層により埋め込み電気接続部を形成する。このため、エッチングプロセスを使用せず、電気接続部を形成できる。



## 【特許請求の範囲】

【請求項1】 基板上にレジストパターンを形成し、前記レジストパターン上を除く前記基板上に絶縁層を形成し、前記レジストパターンを除去して前記絶縁層に開口部を形成し、導電層を前記開口部中に形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 基板上に第1のレジストパターンを形成し、前記第1のレジストパターン上を除く前記基板上に第1の絶縁層を形成し、前記第1の絶縁層及び前記第1のレジストパターン上に第2のレジストパターンを形成し、前記第2のレジストパターン上を除く前記第1の絶縁層上に第2の絶縁層を形成し、前記第1及び第2のレジストパターンを除去して前記第1及び第2の絶縁層に開口部を形成し、前記開口部中に導電層を一括して形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 前記絶縁層は液相堆積処理によって形成されることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 前記導電層は、タングステン、モリブデン、ポリシリコン、アルミニウム、銅、ケイ化モリブデン、及びケイ化タングステンにより構成されたグループから選択された材料で形成されることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項5】 前記第1のレジストパターンは、前記基板の表面上に形成された拡散領域上に形成される請求項2記載の半導体装置の製造方法。

【請求項6】 前記第1のレジストパターンを形成する前に、前記基板上にバッファシリコン酸化膜が形成され、前記バッファシリコン酸化膜は、前記開口部の形成の後で前記導電層の形成の前に取除かれることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項7】 前記基板は、半導体材料の本体上に形成された導電層を含んでいることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項8】 前記第1の絶縁膜は、前記第1のレジストパターンのレベルの高さとほぼ等しい高さに形成されることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項9】 前記第2の絶縁膜は、前記第2のレジストパターンのレベルの高さとほぼ等しい高さに形成されることを特徴とする請求項2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の配線

層及びコンタクト等の電気接続部の形成に係わり、特に、高集積化された半導体装置において、電気接続部をエッチングを用いずに形成するプロセスに関する。

【0002】

【従来の技術】 半導体装置と配線との間を電気に接続したり、半導体装置と外部装置とを接続するため、半導体装置の製造においては種々の処理が使用されている。例えば多層メタライゼーション処理は、大規模集積（LSI）装置の製造の工程簡略化に有効であることが分かっている。このような処理は、配線層及びコンタクトを同時に形成するために実行される。そのような多層メタライゼーション処理に、所謂“デュアル・ダマシン”プロセスがある。

【0003】 図9乃至図15は、ビット線及びビット線コンタクトを形成するためのデュアル・ダマシン処理を示している。図9において、半導体基板（例えばシリコン等）5上には、複数のゲート電極10が形成されている。ゲート電極10は、ポリシリコン層15と窒化シリコン（Si<sub>3</sub>N<sub>4</sub>）層20との積層構造をそれぞれ含んでいる。ポリシリコン層15は半導体基板5に形成された拡散領域22の相互間に位置するチャンネル領域からゲート絶縁膜25によって絶縁されている。ゲート絶縁膜25は、例えば二酸化シリコン（SiO<sub>2</sub>）で作られている。窒化シリコンからなる側壁スペーサ30は、ポリシリコン層15及び窒化シリコン層20の積層構造の側壁に形成されている。図9に示すように、半導体基板5及びゲート電極10の上に、例えば二酸化シリコン等の絶縁層35が形成される。

【0004】 その後、図10に示すように、第1のパターン化されたレジスト層40が絶縁層35上に形成され、このレジスト層40を間をマスクとして絶縁層35がエッチング処理され、図11に示すように、拡散領域22の1つを露出するコンタクト穴45が形成される。前記エッチング処理は、例えば高い選択性を有する反応性イオンエッチング（RIE）処理等であり、これにより、コンタクトとゲートとの短絡を防ぐため、ゲートポリシリコン15上に所定の厚さの窒化シリコン20を残す。

【0005】 その後、図12に示すように、絶縁層35の上に第2のパターン化されたレジスト層50が形成され、続いて、図13に示すように、RIE等のエッチング処理によって絶縁層35がエッチングされ、ビット線トレンチ55が形成される。

【0006】 次に、図14に示すように、全面に例えばタングステン等の金属の導電層60が形成される。その後、導電層60は、図15に示すように、化学機械研磨（CMP）によって前記絶縁層35の表面まで研磨される。すなわち、前記絶縁層35はCMPのストッパーとなっている。

【0007】

【発明が解決しようとする課題】半導体装置の性能を十分に満たすため、多層メタライゼーション工程のエッチング処理は別個に最適化されることが望ましい。例えばビット線は、配線のオープン及びショートの手留りの要求を満たすように形成されるべきである。ビット線コンタクトに対して、エッチング処理は、ゲート電極とコンタクト間のショート及びコンタクトと拡散領域間の導通不良を同時に防ぐための十分なマージンを与えるように最適化されるべきである。しかし、そのような最適化には複雑なエッチング処理が必要とされ、これに伴い半導体装置の製造コストが増加してしまう。さらに、多層メタライゼーションを形成するため、あるいは単層のメタライゼーション上へ順次層を形成するための上部層のリソグラフィ処理は、先に形成された層によって生じた平坦でない形状（トポグラフィ）を有する下地上で行われる。この平坦でない形状は、高集積化された半導体装置に要求される高い寸法（CD）制御のため、高解像度リソグラフィプロセスを必要とする。この高解像度リソグラフィプロセスは、半導体装置の集積度が増加するに従い複雑となり、基本ルールは0.25マイクロメートル以下に減少する。

【0008】本発明は上記課題を解決するものであり、その目的とするところは、複雑な高解像度リソグラフィ処理、及びエッチング処理を行うことなく、電気的接合部を形成可能な半導体装置の製造方法を提供しようとするものである。

【0009】

【課題を解決するための手段】本発明の第1の方法は、先ず最初に、レジストパターンが基板上に形成される。次に、絶縁層が、レジストパターン上を除く基板上に形成される。その後、レジストパターンが取除かれて絶縁層に開口部が形成され、この開口部中に導電層が形成される。

【0010】本発明の第2の方法は、先ず最初に、第1のレジストパターンが基板上に形成される。次に、第1の絶縁層が第1のレジストパターン上を除く基板上に形成される。その後、第2のレジストパターンが第1の絶縁層及び第1のレジストパターン上に形成される。次に、第2の絶縁層が第1の絶縁層上に形成されるが、第2のレジストパターン上には形成されない。第1及び第2のレジストパターンが取除かれて第1及び第2の絶縁層に開口部が形成され、この開口部中に導電層が形成される。この製造方法によれば、エッチング処理を行うことなく電気接続部を形成できる。

【0011】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。図1乃至図8は、本発明の電気接続部形成プロセスを示している。以下のプロセスの説明は、電界効果トランジスタのソース/ドレイン領域へのコンタクト及びダイナミック・ランダム・ア

セス・メモリ（DRAM）、スタティック・ランダム・アクセス・メモリ（SRAM）等の半導体メモリ装置のビット線を構成する多層メタライゼーション構造を形成するためのプロセスに関して行われる。しかしながら、本発明のプロセスはこれに限定されず、また、本発明のプロセスが、半導体装置の電気接続部を形成するための別の単層あるいは多層構造のためのプロセスに対しても適用可能である。例えばこのプロセスは、ビット線、ビット線コンタクト、及びゲートコンタクトを含む単層あるいは多層のメタライゼーションに適用できる。さらに、このプロセスは、配線層を接続するための単層あるいは多層のメタライゼーションに適用できる。

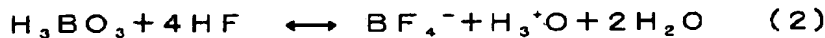
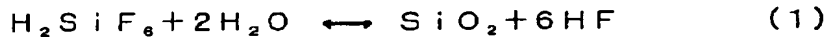
【0012】図1において、基板105の表面上には、複数のゲート電極100が形成されている。基板105は、P型のシリコン基板であるが、本発明はこれに限定されない。各ゲート電極100は、ポリシリコン層115及び窒化シリコン（Si<sub>3</sub>N<sub>4</sub>）層120の積層構造を含んでいる。前記ポリシリコン層115は基板105に形成されたN型の拡散領域122の間のチャンネル領域からゲート絶縁膜125によって絶縁されている。ゲート絶縁膜125は、例えばシリコン酸化膜（二酸化シリコン：SiO<sub>2</sub>）等である。窒化シリコンからなる側壁スペーサ130は、ポリシリコン層115及び窒化シリコン層120からなる積層構造の側壁に形成されている。二酸化シリコンの層間絶縁膜135は、例えばゲート電極100及び基板105を覆って形成される。例えばタングステンの多層メタライゼーション層145は、基板105の表面に形成された拡散領域122の1つと接触し、半導体メモリ装置のビット線を形成する。

【0013】図2乃至図8は、図1に示す装置を形成するための多層メタライゼーションプロセスを示している。先ず、図2に示すように、基板105の表面上にゲート電極100が形成される。ゲート電極100は、任意の従来の技術によって形成される。例えば約1000オングストロームの厚さの薄いシリコン酸化膜125が、熱酸化によってシリコン基板105の表面上に形成され、その後、例えばポリシリコンの導電層115及び第1の窒化シリコン層120がシリコン酸化膜125上に連続的に形成される。導電層115は、化学気相成長（CVD）処理、あるいはスパッタリング処理によって約1000オングストロームの厚さに形成され、窒化シリコン層120は、CVDによって約2000オングストロームの厚さに形成される。その後、導電層115及び窒化シリコン層120は、パターニングされる。次に、約500オングストロームの厚さを有する第2の窒化シリコン層が堆積されてパターニングされ、側壁スペーサ130が形成される。これら側壁スペーサによって、ゲート電極とコンタクト間のショートが防止される。その後、N型の不純物が、例えばゲート電極100をマスクとしてイオン注入によって基板105内に導入

される。この後、導入された不純物は、加熱処理によって拡散され、拡散領域122が形成される。

【0014】次に、図3に示すように、多層メタライゼーションのコンタクト部分を形成するためのビラーレジストパターン150が形成される。必要であれば、シリコン基板105の表面とレジストとの直接的な接触を避けるため、ビラーレジストパターン150を形成する前に弱い酸化処理を行い、拡散領域122上に図示せぬ薄いシリコン酸化膜を形成してもよい。これにより、レジストに含まれる重金属によるシリコン基板の汚染を回避で

きる。  
【0015】前記ビラーレジストパターン150を形成するためのリソグラフィ処理は、例えば図10に示す従来のプロセスにおいて、パターニングされたレジスト40を形成するために使用されるマスクのパターンとはポジ/ネガが反転したパターンを有するマスクを使用する。あるいは、図10に示す従来のプロセスにおけるパターニングされたレジスト40を形成するために使用するものと同じマスクを使用する場合は、従来のプロセスにおいて使用されたレジストのポジ/ネガとは反対のレ\*20



【0019】粉末状のシリコン酸化物の飽和によって、反応式(1)の矢印は左向きに移行し、後に、 $\text{H}_3\text{BO}_3$ を付加すると、反応式(2)によってHFが消費され、反応式(1)の矢印が再び右向きに移行する。結果的に、式(1)の右向きの反応によってシリコン酸化物が過飽和状態になり、それによって、シリコン酸化物が30  
基板上に堆積される。これらの反応は室温で生じる。堆積は、LPD処理によって形成された疎水性二酸化シリコンを使用するので、レジストなどの親水性の膜の上にはシリコン酸化物が堆積されない。LPD方法によって形成されたシリコン酸化膜は、堆積速度が約1000オングストローム/時と遅いため、膜厚の制御が容易である。

【0020】この後、図5に示すように、ビット線に対応するビット線レジストパターン160がビラーレジストパターン150及びシリコン酸化膜155上に形成される。ビット線レジストパターン160を形成するためのリソグラフィ処理は、例えば図12に示す従来のプロセスにおいて、パターニングされたレジストを形成するために使用されたマスクのパターンと反対のパターンを有するマスクを使用する。また、図12に示す従来のプロセスにおいてパターニングされたレジスト50を形成するために使用したものと同じマスクの場合は、従来のプロセスにおいて使用したレジストのポジ/ネガと反対のタイプのレジストと共に使用される。ウエハのトポグラフィが緩和されているため、必要であれば、この技術

\* ジストと共に使用する。

【0016】次に、図4に示すように、約10,000オングストロームの厚さを有する第1のシリコン酸化膜155が、例えば液相堆積(LPД)を使用してゲート電極100及び基板105上に堆積される。この第1のシリコン酸化膜155は、ビラーレジストパターン150上には形成されず、ビラーレジストパターン150の高さとはほぼ同じ高さまで形成される。第1のシリコン酸化膜155及びビラーレジストパターン150は、ほぼ同じ高さであるため、ウエハのトポグラフィ(表面形状の凹凸)が“緩和”され、連続して高解像度リソグラフィ処理する必要が軽減される。

【0017】LPD処理は、粉末状のシリコン酸化物(シリカゲル)を飽和させ、後に液体 $\text{H}_2\text{SiF}_6$ に $\text{H}_3\text{BO}_3$ を付加することによって得られた液体を使用する。基板を液体中に入れると、基板上にシリコン酸化膜が堆積される。特に、LPD処理によるシリコン酸化物の堆積は、以下の式によって与えられる。

【0018】

【化1】

分野において周知のリソグラフィ処理において反射防止膜(ARC)162を使用してもよい。この種の膜は、下地からの反射の影響を低減させる効果を有している。

【0021】その後、図6に示すように、再びLPD処理を使用して第2のシリコン酸化膜165が第1のシリコン酸化膜155上に形成される。また、堆積には疎水性二酸化シリコンが使用されるので、レジストパターン160上にはシリコン酸化物が形成されない。第2のシリコン酸化膜165の高さは、レジストパターン160の高さとはほぼ同じである。第1、第2のシリコン酸化膜155、165は、図1の層間絶縁膜135を構成する。

【0022】次に、図7に示すように、レジストパターン150及び160は、従来のレジスト剥離処理を使用して同時に取除かれ、開口部170が形成される。その後、全面に導電材料が堆積された後、化学的機械的研磨(CMP)を使用して平坦化され、図8に示すように、導電層145により開口部170が埋め込まれる。この導電層の埋め込み方法はCMP法に限らずエッチバック法等を用いることも可能である。導電層145は、モリブデン、ポリシリコン、アルミニウム、タングステン、銅、ケイ化モリブデン( $\text{MoSi}$ )、ケイ化タングステン( $\text{WSi}$ )等の任意の導電材料である。この導電層145は、ビット線及びビット線コンタクトを構成する。

【0023】前記レジストパターン150と基板105との接触を防ぐための別の実施の形態として、コンタク

トリソグラフィの前にバッファシリコン酸化膜を設けてもよい。この図示せぬ薄いバッファシリコン酸化膜は、図2の拡散領域122上を熱酸化して形成され、約100オングストローム程度の膜厚を有している。この場合、図7に示すステップにおけるレジストパターン150及び160の除去と、図8に示すステップにおける導電層145の形成との間に、ビット線コンタクトを開口するため、湿式エッチング等の簡単なエッチング処理が行われる。

【0024】上記実施の形態によれば、エッチングなしでメタライゼーション構造を形成できる。エッチング処理を回避することにより、LSI装置の製造を簡単化でき、製造コストを減少できる。さらに、ウエハのトポグラフィが緩和されるため、段差の影響でプロセスマージンが劣化することがなく、微細なレジストを作ることができる。また、ビラーレジストパターン150及びビット線レジストパターン160は装置の最小寸法より大きな解像度により形成できるため、高解像度リソグラフィ処理の回数を減少できる。尚、この発明は上記実施の形態に限定されるものではなく、発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0025】

【発明の効果】以上、詳述したようにこの発明によれば、複雑な高解像度リソグラフィ処理、及びエッチング処理を行うことなく、電気的接合部を形成可能な半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明のプロセスに従って形成された電気接統を有する半導体装置の一部分の断面図。

【図2】本発明による電気接統部の形成プロセスを示す断面図。

【図3】本発明による電気接統部の形成プロセスを示す\*

\*ものであり、図2に続く工程を示す断面図。

【図4】本発明による電気接統部の形成プロセスを示すものであり、図3に続く工程を示す断面図。

【図5】本発明による電気接統部の形成プロセスを示すものであり、図4に続く工程を示す断面図。

【図6】本発明による電気接統部の形成プロセスを示すものであり、図5に続く工程を示す断面図。

【図7】本発明による電気接統部の形成プロセスを示すものであり、図6に続く工程を示す断面図。

【図8】本発明による電気接統部の形成プロセスを示すものであり、図7に続く工程を示す断面図。

【図9】従来技術のメタライゼーション処理を示す断面図。

【図10】図9に続く工程を示す断面図。

【図11】図10に続く工程を示す断面図。

【図12】図11に続く工程を示す断面図。

【図13】図12に続く工程を示す断面図。

【図14】図13に続く工程を示す断面図。

【図15】図14に続く工程を示す断面図。

【符号の説明】

105…シリコン基板、

100…ゲート電極構造、

115…ポリシリコン層、

120…窒化シリコン層、

122…拡散領域、

125…シリコン酸化膜、

130…側壁スペーサ、

145…導電層、

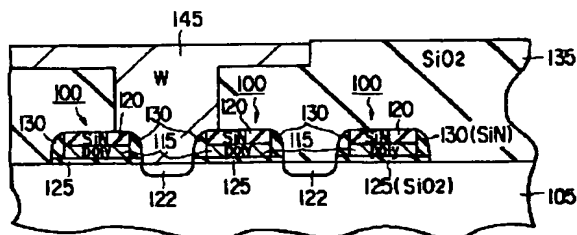
150…ビラーレジストパターン、

155、165…シリコン酸化膜、

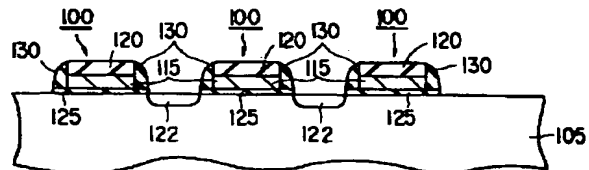
160…ビット線レジストパターン、

170…開口部。

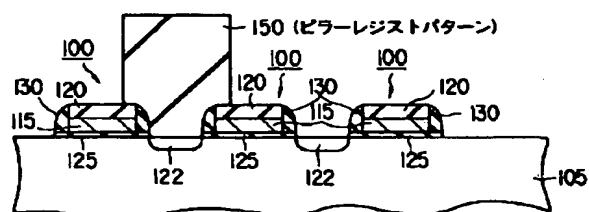
【図1】



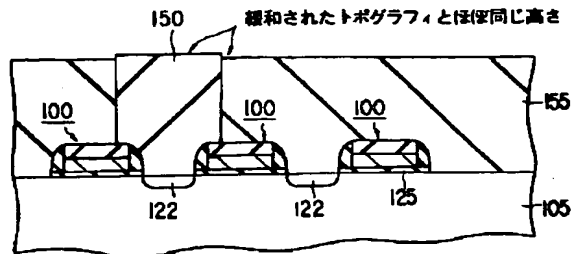
【図2】



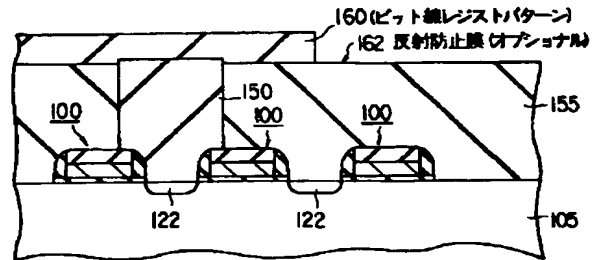
【図3】



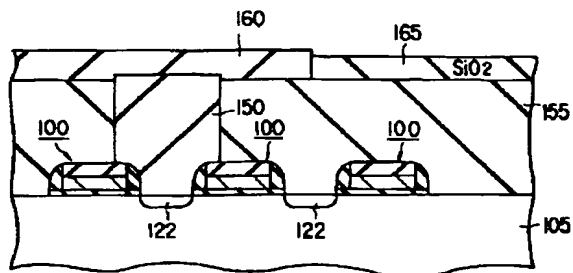
【図4】



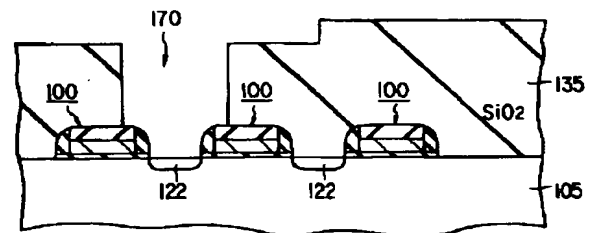
【図5】



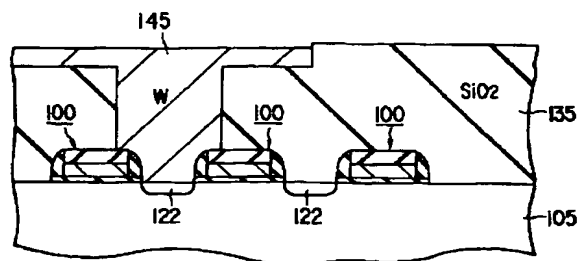
【図6】



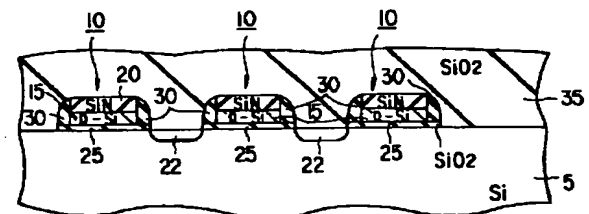
【図7】



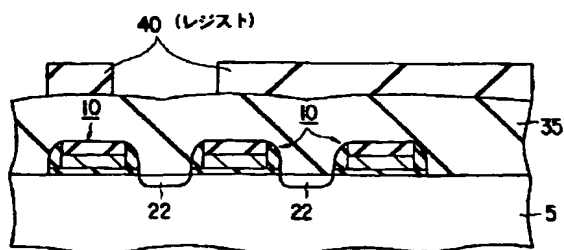
【図8】



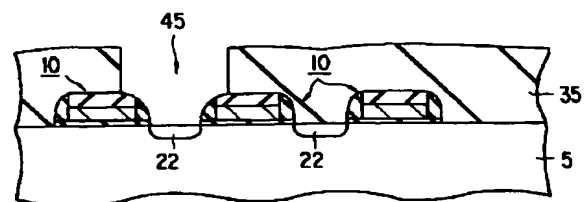
【図9】



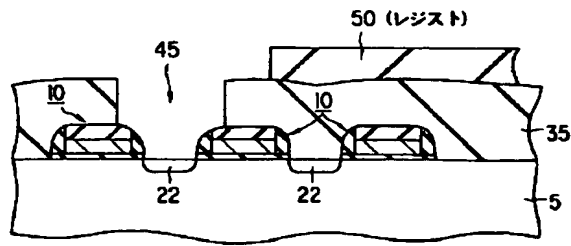
【図10】



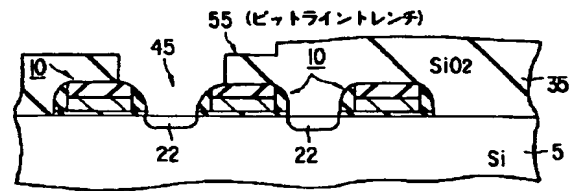
【図11】



【図12】



【図13】



【図15】

【図14】

